

Лекция 31. ПОСЛЕДОВАТЕЛЬНОСТНЫЕ ЦИФРОВЫЕ УСТРОЙСТВА

План

1. Триггеры.
2. Счетчики.
3. Регистры.
4. Запоминающие устройства.
5. Выводы.

1. Триггеры

Триггером называется устройство, имеющее два устойчивых состояния и сохраняющее любое из них сколь угодно долго после снятия внешнего воздействия, вызвавшего переход триггера из одного состояния в другое. Поэтому говорят, что триггер обладает памятью. Триггер можно представить в общем случае состоящим из ячейки памяти и устройства управления (порой весьма сложного), преобразующего входную информацию в комбинацию сигналов, под воздействием которых ячейка памяти принимает одно из двух устойчивых состояний.

По способу записи информации триггеры могут быть *асинхронными* и *синхронными*. Триггер называют асинхронным, если сам сигнал, несущий информацию, вызывает его переключение. В синхронных (тактируемых) триггерах информация записывается при одновременном воздействии информационного сигнала и синхронизирующего (разрешающего) импульса. Синхронизация может осуществляться импульсом (потенциалом) или перепадом потенциала (фронтом или срезом импульса). В первом случае (статическое управление) сигналы на информационных входах оказывают влияние на состояние триггера в течение всего времени наличия синхроимпульса. Во втором случае (динамическое управление) воздействие информационных сигналов проявляется только в моменты изменения потенциала на входе синхронизации, т.е. при переходе его от 0 к 1 (фронт) или от 1 к 0 (срез).

По функциональному признаку различают RS-триггеры, D-триггеры, T-триггеры и JK-триггеры, а также их комбинации.

Основу любого триггерного устройства составляет элементарная ячейка памяти на двух инверторах с кольцом положительной обратной связи, называемая защелкой (рис. 31.1).

В *асинхронном* (нетактируемом) *RS-триггере* (рис. 32.2, а), выполненном на логических элементах *ИЛИ-НЕ*, состояниями описанной выше ячейки памяти можно управлять, подавая логическую 1 либо на вход S (Set) установки в состояние $Q = 1$, либо на вход R (Reset) сброса в состояние $Q = 0$. Если

одновременно подать, а затем снять логическую 1 с обоих входов, то состояние триггера после снятия входных сигналов будет неопределенным. Такая комбинация на входах триггера является запрещенной. Минимальная длительность установочных импульсов должна вдвое превышать время задержки примененных логических элементов, чтобы по петле положительной обратной связи пришло подтверждение о фиксации нового состояния триггера.

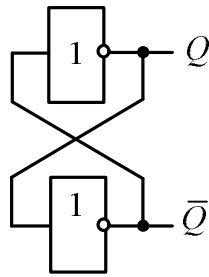


Рис. 31.1

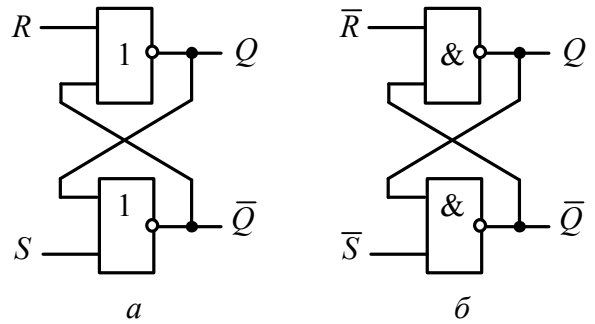


Рис. 31.2

Аналогичным образом работает *асинхронный RS-триггер с инверсным управлением* (рис. 31.2, б), выполненный на логических элементах И-НЕ. Установка триггера в единичное и нулевое состояние на выходе Q осуществляется подачей логического нуля на входы S или R . При единичных уровнях на обоих входах триггер не меняет своего состояния (находится в режиме хранения).

Тактируемый (синхронный) RS-триггер (рис. 31.3) может изменить свое состояние только с приходом тактового импульса на вход C . Помехи, действующие на информационных входах R и S между тактовыми импульсами, не влияют на работу триггера. Запрещенным является состояние $CRS = 1$.

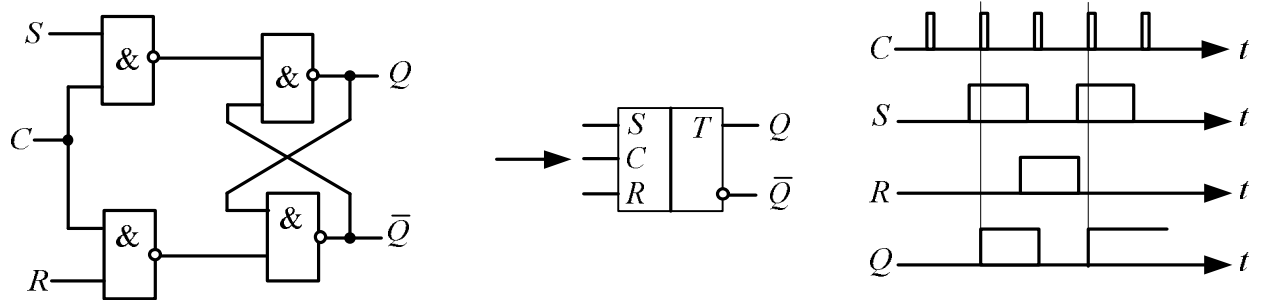


Рис. 31.3

При включении питания состояние триггера остается неопределенным. После совпадения единичных уровней на входах S и C триггер устанавливается в единичное состояние. При совпадении логических единиц на входах R и C триггер сбрасывается в нулевое состояние.

D-триггер (от английского Delay – задержка) имеет один информационный (Data – данные) и один тактируемый (C – Clock – тактовая последовательность) вход. Такой триггер можно получить из RS-триггера, по-

дав на Л-вход инвертированный сигнал с 5-входа (рис. 31. 4, а). Условное обозначение D-триггера со статическим управлением показано на рис. 31.4, б. Из временных диаграмм, приведенных на рис. 31.4, в можно увидеть, что при $C = 1$ триггер работает как повторитель ($Q = D$), а при переходе сигнала на входе С от логической единицы к логическому нулю триггер запирается и переходит в режим хранения (защелкивает информацию со входа D). В отличие от RS -триггера, D -триггер не имеет запрещенного состояния.

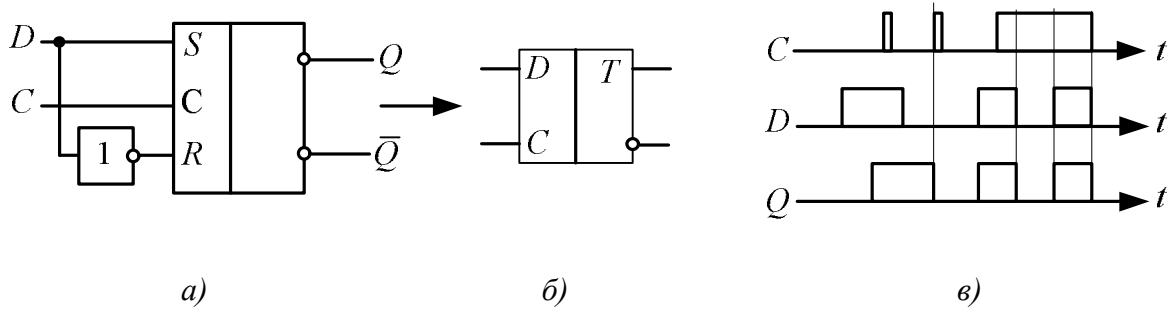


Рис. 31.4

Статический синхронный триггер реагирует на входные сигналы в течение всего времени, пока тактовый сигнал С равен единице. Часто, однако, требуется триггер, в котором считываемая информация не передавалась бы непосредственно на выход, а появлялась там только тогда, когда все схемы уже заперты. Этим свойством обладают триггеры с динамическим управлением.

D-триггер с динамическим управлением, тактируемый фронтом тактового импульса, можно выполнить по двухступенчатой схеме, показанной на рис. 31.5, а. При $C=0$ триггер первой ступени повторяет сигнал D , но триггер второй ступени защелкнут (находится в режиме хранения). При переходе к $C = 1$ первый триггер защелкивает на своем выходе информацию со входа D , а второй повторяет ее на своем выходе. Таким образом, двухступенчатый триггер по фронту тактового импульса защелкивает на своем выходе уровень сигнала со входа D и сохраняет его до следующего фронта. Триггеры с динамическим управлением необходимы для построения счетчиков и регистров сдвига. Из двух вариантов УГО динамического входа, приведенных на рис. 31.5, б и в, в дальнейшем будем использовать вариант б, меняя направление косой черты для обозначения входа при тактировании по срезу импульса.

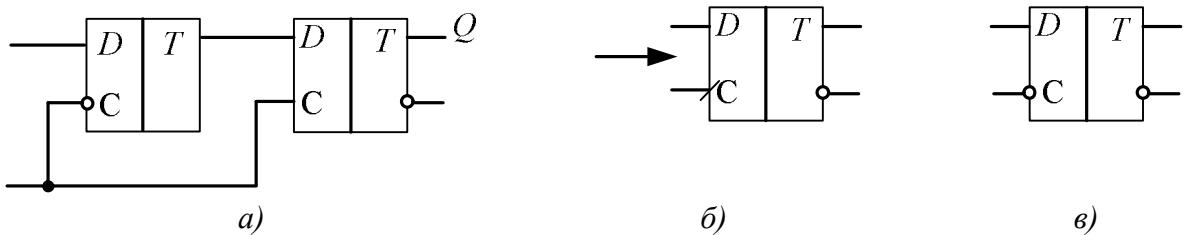


Рис. 31.5

T-триггер (от английского Toggle – опрокидываться, кувыраться). Он имеет только тактовый вход T и меняет свое состояние на противоположное по фронту или срезу каждого нового тактового импульса (рис. 31.6). На рисунке показано УГО T -триггера и как можно выполнить T -триггер на базе RS - или D -триггеров с динамическим управлением. Каждый раз по фронту сигнала T изменяется уровень напряжения на выходе Q . Частота изменения потенциала на выходе T -триггера в два раза меньше частоты импульсов на его тактовом входе. Это свойство T -триггера используется при построении двоичных счетчиков, а T -триггер называют также счетным триггером.

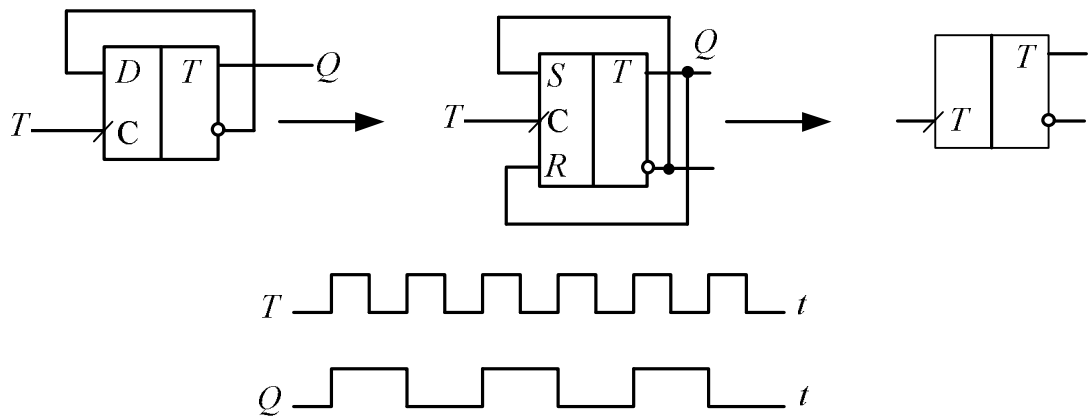


Рис. 31.6.

Наиболее универсальные функции выполняет *JK-триггер* (J – Jerk – резкое движение, толчок; K – Kill – ликвидировать). Он строится на базе RS -триггера с динамическим тактовым входом (рис. 31.7), в отличие от него, в JK -триггере устранено запрещенное состояние при $J = K = 1$. При совпадении логических единиц на информационных входах J и K он работает как счетный (режим переключения), т.е. меняет свое состояние на противоположное при каждом новом такте. Логическая 1 на входе J устанавливает триггер в состояние единицы (режим записи 1, установка), логическая 1 на входе K переводит триггер в состояние логического нуля (режим записи 0, сброс) при наличии тактирования. При наличии логических нулей на входах J и K тактовый импульс не меняет состояние триггера (режим хранения).

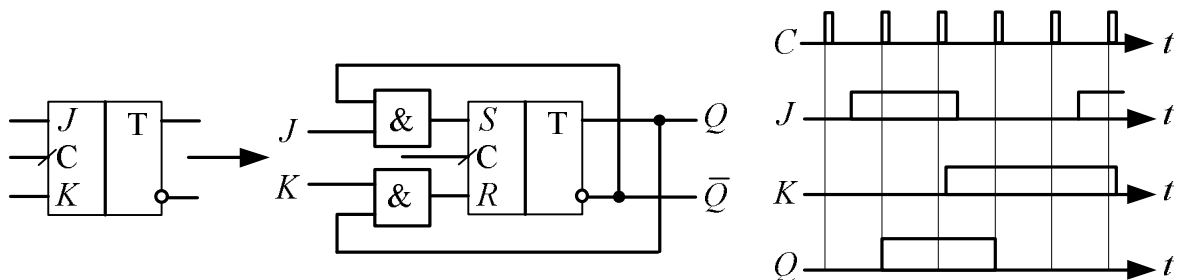


Рис. 31.7

Работу триггеров можно описать таблицей состояний и функциями переходов (рис. 31.8). Функции переходов синхронных триггеров описывают состояние триггера Q^+ после прихода очередного тактового импульса (его фронта или среза) как логическую функцию входных сигналов и исходного состояния триггера Q до прихода тактового импульса.

$$Q = D \text{ — для } D\text{-триггера};$$

$$Q = QJ + \overline{Q}K \text{ — для } J\text{-триггера};$$

$$Q = Q \oplus T \text{ — для } T\text{-триггера};$$

$$Q = S + \overline{Q}R, RS = 0 \text{ — для } RS\text{-триггера}.$$

$S(J)$	$R(K)$	Q	
		RS	JK
0	0	Q	Q
0	1	0	0
1	0	1	1
1	1	X	Q

Рис. 31.8. Таблица состояний RS - и JK -триггеров и функции переходов триггеров

Примеры микросхем триггеров приведены на рис. 31.9. Наряду с тактируемыми, микросхемы $K555M2$ и $K555TB6$ имеют дополнительные входы для предварительной установки в единичное или нулевое состояние (комбинированные триггеры). При этом входы установки R и S являются асинхронными (приоритетными). Предельная частота функционирования триггеров $K555TM2$ составляет 25 МГц, $K555TB6$ – 30 МГц. Микросхема $K555TP2$ содержит четыре асинхронных RS -триггера, причем два из них имеют по два объединенных логикой *ИЛИ* входа S (подача логического 0 на любой из них устанавливает триггер в единичное состояние).

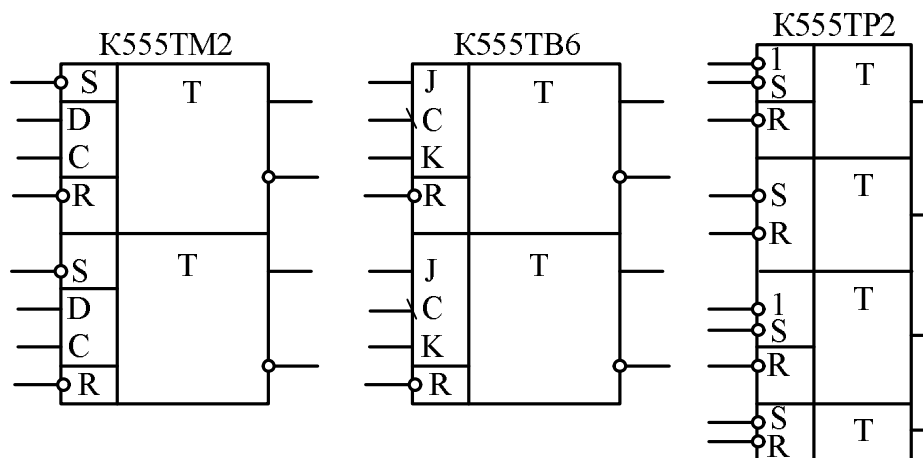


Рис. 31.9.

2. Счетчики

Цифровое устройство, циклически меняющее свои состояния под действием импульсов, подаваемых на один вход, называется счетчиком. Количество тактов, через которое повторяется исходное состояние счетчика, называют коэффициентом пересчета (модулем счета) $K_{сч}$. Счетчики строят из цепочек триггеров с динамическим управлением.

По коэффициенту пересчета различают счетчики двоичные ($K_{сч} = 2^n$, где n – разрядность счетчика), десятичные ($K_{сч} = 10$, где n – количество декад счетчика), с произвольным постоянным $K_{сч}$ с изменяемым $K_{сч}$ (программируемые).

По направлению счета счетчики делятся на суммирующие, вычитающие, реверсивные.

По способу организации внутренних связей между триггерами счетчики могут быть асинхронными (с последовательным переносом) и синхронными (с параллельным переносом). Синхронные счетчики обладают большим быстродействием.

Асинхронные двоичные счетчики строят из цепочки счетных триггеров, соединяя выход предыдущего со входом последующего. Такой счетчик реализован на микросхеме К155ИЕ5 (рис. 31.10). При совпадении логических единиц на выводах 2 и 3 счетные триггеры сбрасываются в нулевое состояние. При замыкании выводов 1 и 12 получаем четырехразрядный двоичный счетчик. Частота счетных импульсов последовательно делится в два раза каждым триггером. При этом счетчик проходит 16 состояний (с 0 по 15), каждому из которых соответствует четырехразрядный код на выходах с весовыми коэффициентами 8,4, 2,1.

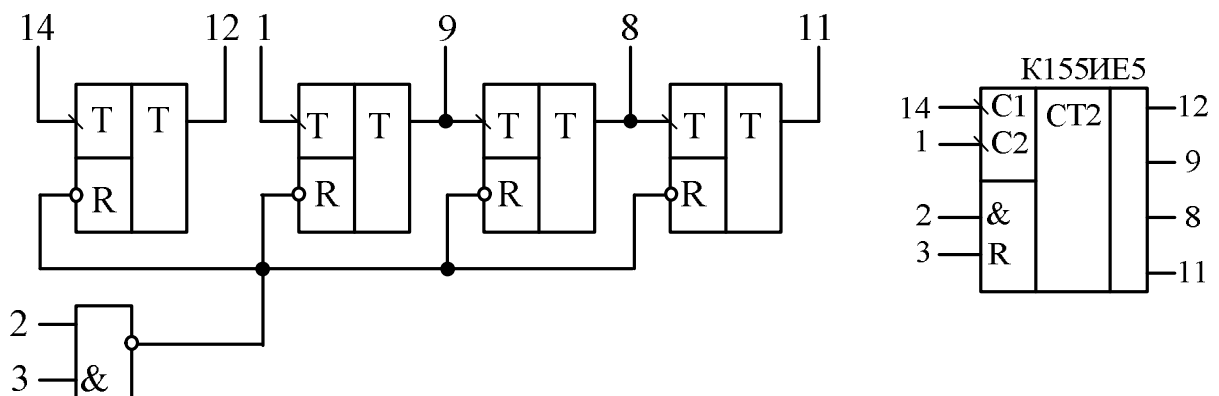


Рис. 31.10

Микросхема К155ИЕ2 состоит из счетного триггера (вход – $C1$, выход – $Q1$) и счетчика с коэффициентом пересчета $K_{сч} = 5$ (вход – $C2$, выходы – Q_2, Q_3, Q_j). Если их соединить между собой так, как это показано на рис. 31.11, а, то получится двоично-десятичный счетчик, временные диаграммы работы

которого приведены на рис. 31.11, б. При поступлении десятого импульса (по его срезу) кодовая комбинация $Q_4Q_3Q_2Q_1 = 1001$ сменяется комбинацией 0000, и далее цикл из десяти состояний счетчика (с 0 по 9) периодически повторяется. При совпадении логических единиц на входах R счетчик устанавливается в состояние «0», при совпадении логических единиц на входах S_9 в состояние «9».

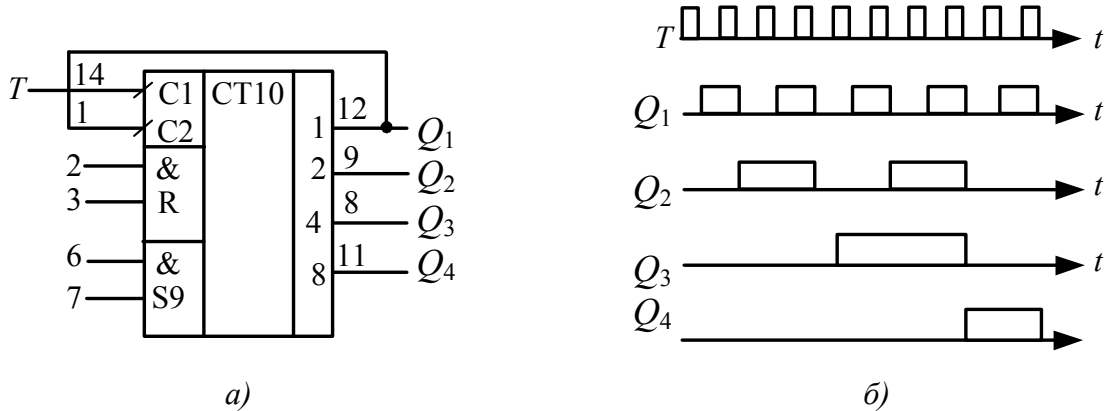


Рис. 31.11

В синхронном двоичном счетчике (рис. 31.12) счетный импульс Γ воздействует сразу на все триггеры. Первый триггер работает как счетный. Каждый последующий меняет свое состояние на противоположное, когда все предыдущие находятся в единичном состоянии. Устройство реализует алгоритм работы суммирующего двоичного счетчика с $K_{сч} = 16$.

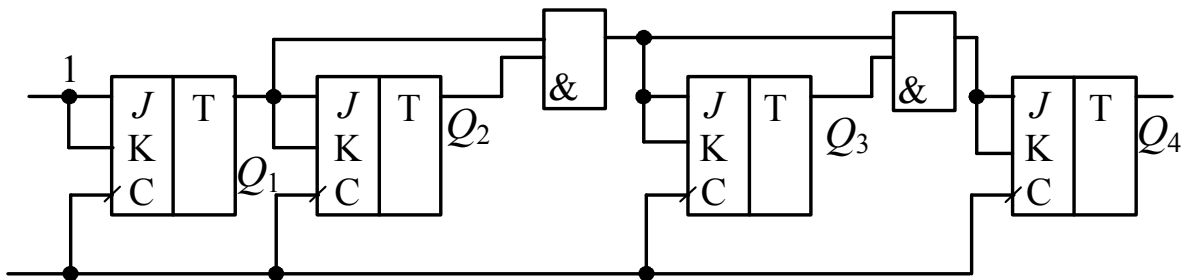


Рис. 31.12.

Реверсивные счетчики обладают универсальными возможностями. На рис. 31.13 показаны ИМС синхронных реверсивных десятичного (К555ИЕ6 и двоичного (К555ИЕ7) счетчиков. Уровнем логического нуля на входе L в счетчик записывается четырехразрядный код со входов предустановки 1, 2, 4, 8 (параллельная загрузка). Эта возможность позволяет строить на таких микросхемах счетчики и делители частоты с изменяемым $K_{сч}$. Уровнем логической единицы на входе R счетчик сбрасывается в нулевое состояние. Вход R имеет приоритет по отношению ко входу L . При подаче импульсов на суммирующий вход $+1$ на вычитающем -1 должен быть высокий уровень и наоборот.

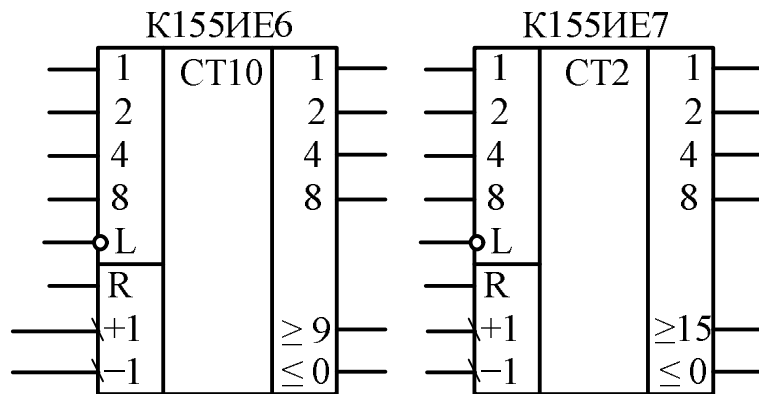


Рис. 31.13

Счетчики с произвольным модулем счета $K_{сч}$ строятся на основе микросхем двоичных и двоично-десятичных счетчиков. Одним из способов получения произвольного значения модуля счета является использование цепи обратной связи, сбрасывающей его в нулевое состояние, как только суммирующий счетчик переходит в состояние, равное $K_{сч}$. Так построен, например, делитель частоты в 14 раз (рис. 31.14). Как только счетчик переходит в 14-е состояние (совпадают логические 1 на входах трехходового элемента *ЗИ-НЕ*) в единичное состояние устанавливается *RS*-триггер, который сбрасывает счетчик в нулевое состояние. Единичный уровень следующего счетного импульса сбрасывает *RS*-триггер в нуль.

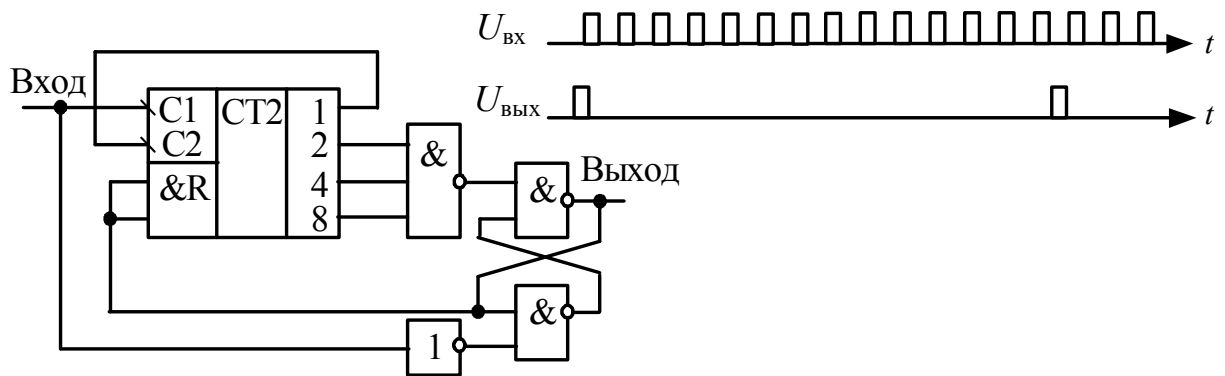


Рис. 31.14.

Другой вариант счетчика (например, с коэффициентом пересчета $K_{сч} = 147$), показанный на рис. 31.15. Заорганизован на основе восьмиразрядного двоичного счетчика ($K_{сч} = 256$), который дополнен цепью сброса. Когда счетчик переходит в состояние $147 = 10010011_2$ (совпадают логические 1 на входах элементов *И*, подключенных к выходам счетчика с весовыми коэффициентами 128, 16, 2 и 1), происходит его сброс, в результате чего его состояния циклически повторяются через каждые 147 входных тактов.

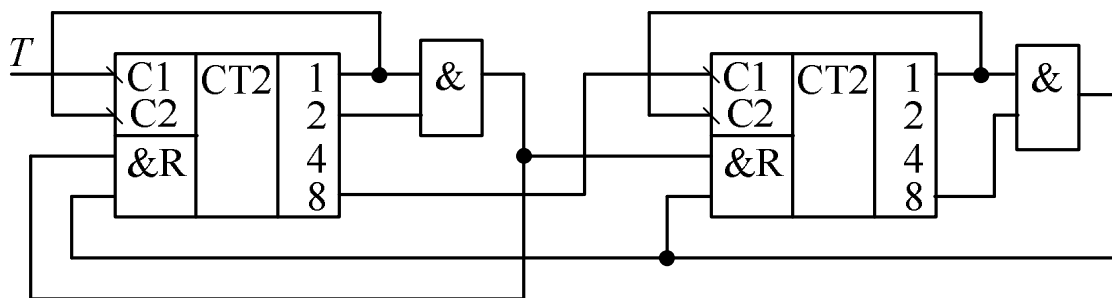


Рис. 31.15.

ИМС программируемых делителей частоты (счетчиков с переменным коэффициентом деления). Существует ряд ИМОсчетчиков с переменным (программируемым) коэффициентом деления, например, К155ИЕ8, 564ИЕ15.

ИМС К155ИЕ8 может быть названа преобразователем «код – частота». Ее УГО и функции выводов показаны на рис. 31.16. Эта микросхема содержит шестизрядный двоичный счетчик и программируемое логическое устройство, уменьшающее частоту выходной последовательности $f_{\text{вых}}$, по сравнению со входной f_{ex} . Из входной последовательности в 64 импульса, поступающей на счетный вход С, на выход проходит N импульсов, где N – десятичное число, шестизрядный двоичный код которого подается на управляющие входы микросхемы с метками 32, 16, 8, 4, 2, 1. Выходная частота связана с входной соотношением $f_{\text{вых}} = f_{\text{ex}} \cdot N / 64$. Таким образом, частота импульсов на выходе микросхемы пропорциональна значению управляющего кода N . Надо только учитывать, что если N не равно степени числа 2, то импульсы в выходной последовательности расположены неравномерно.

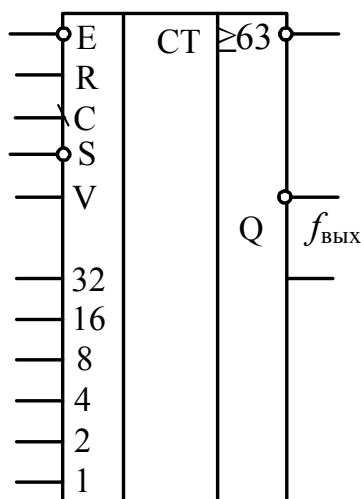


Рис. 31.16

Назначение выводов ИМС: Е – разрешение счета (стробирование); R – сброс счетчика с остановкой деления; С – счетный вход; S – остановка деле-

ния; V – вход наращивания; ≥ 63 – выход переноса (нулевой сигнал на этом выходе формируется, когда счетчик находится в 63-ем состоянии); 32, 16, 8, 4, 2, 1 – разряды управляющего кода N .

В таблице 31.1 приведены номера импульсов (из входной последовательности в 64 импульса), которые проходят на выход при логической единице на соответствующем управляющем входе. При произвольном коде N на выход проходят импульсы, соответствующие логическим единицам во всех разрядах числа

Таблица 31.1

Таблица функционирования микросхемы K155ИЕ8

Метка управляющего входа	Номера импульсов, проходящих на выход
1	32
2	16,48
4	8,24,40,56
8	4,12,20,28,36,44,52,60
16	2,6,10,14,18,22,26,30,34,38,42,...
32	1,3,5,7,9,11,13,15,17,19,21,23,25,27,...

3. Регистры

Регистры представляют собой цепочки триггеров и предназначены для записи, хранения, сдвига и считывания из них двоичной информации (полу-байта, байта и т. д.).

Различают регистры сдвиговые (со сдвигом вправо, влево и реверсивные), с параллельной загрузкой, универсальные, кольцевые и файловые.

Регистры сдвига строятся на D-триггерах с динамическим управлением. Тактовые входы объединяются, вход D первого триггера служит для приема информации, а входы D последующих подключаются к прямым выходам предыдущих (рис. 31.17).

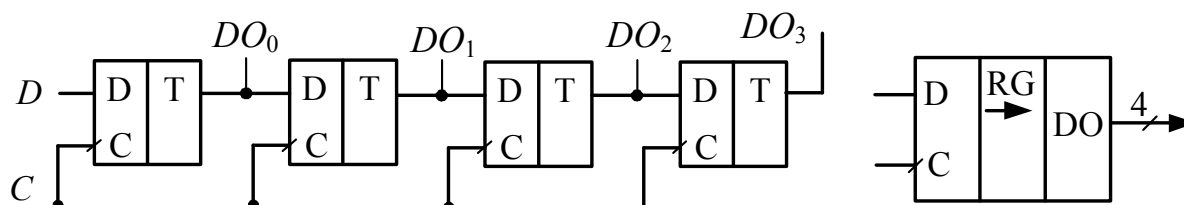


Рис. 31.17

За четыре такта C (четыре синхроимпульса) последовательную информацию со входа D можно преобразовать в параллельную на выходах $DO_0 - DO_j$.

Регистры с параллельной загрузкой также чаще строят на *D*-триггерах, объединяя их тактовые входы. Микросхемы регистров памяти могут тактироваться потенциалом (К580ИР82) или фронтом (К555ИР27) тактового импульса (рис. 31.18). Обязательным условием при записи данных в регистр является их фиксация до поступления такта. Хранимые данные с выхода первой микросхемы читаются при логическом нуле на входе *OE* (разрешение выхода), при логической единице - выходы микросхемы находятся в высокоимпедансном состоянии. Запись информации во вторую микросхему происходит по фронту тактового импульса только при логическом нуле на входе *L* (*Load* – разрешение загрузки). При $L = 1$ имеет место режим хранения данных в регистре.

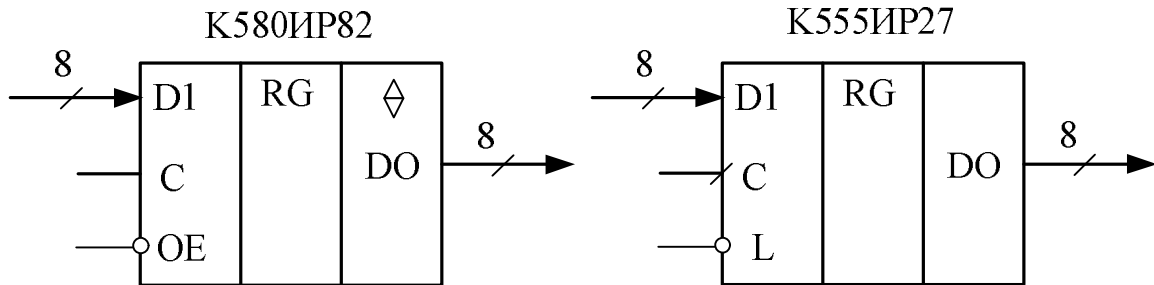


Рис. 31.18

Универсальные регистры. Микросхема К155ИР13 (рис. 31.19) является примером универсального регистра. Режим ее работы задается уровнями сигналов на входах *SR* и *SL* (см. таблицу состояний регистра). При сдвиге вправо сигнал со входа *DR* переписывается в младший разряд DO_0 по фронту каждого тактового импульса, а старая информация выхода DO_7 теряется. При сдвиге влево информация со входа *DL* записывается на выход DO_7 , а информация с выхода DO_0 теряется. При $SL = SR = 1$ микросхема работает как параллельный регистр, запись информации в который со входов *DI* происходит по фронту тактового импульса. При подаче 0 на вход *R* все триггеры регистра сбрасываются в нулевое состояние.

Кольцевые регистры. Иногда желательно осуществлять многократный последовательный вывод информации (регенерацию) из регистра без ее стирания. Для этого необходимо снова ввести данные с помощью обратной связи. Пример схемы кольцевого регистра, который предоставляет такую возможность, показан на рис. 31.20.

До тех пор, пока на управляющем входе *u* поддерживается уровень логической 1, $DR = D_d$, обратная связь не действует. За первые *n* тактов запоминается «разрядный входной код Ц». Если теперь подать $U = 0$, то $DR = Q_n$ и выведенный из регистра код поразрядно поступает на вход. После *n* тактовых импульсов регистр сдвига опять находится в исходном состоянии. Сле-

довательно, логическое состояние на входе управления определяет, вводится ли новая информация или в регистре циркулирует старая.

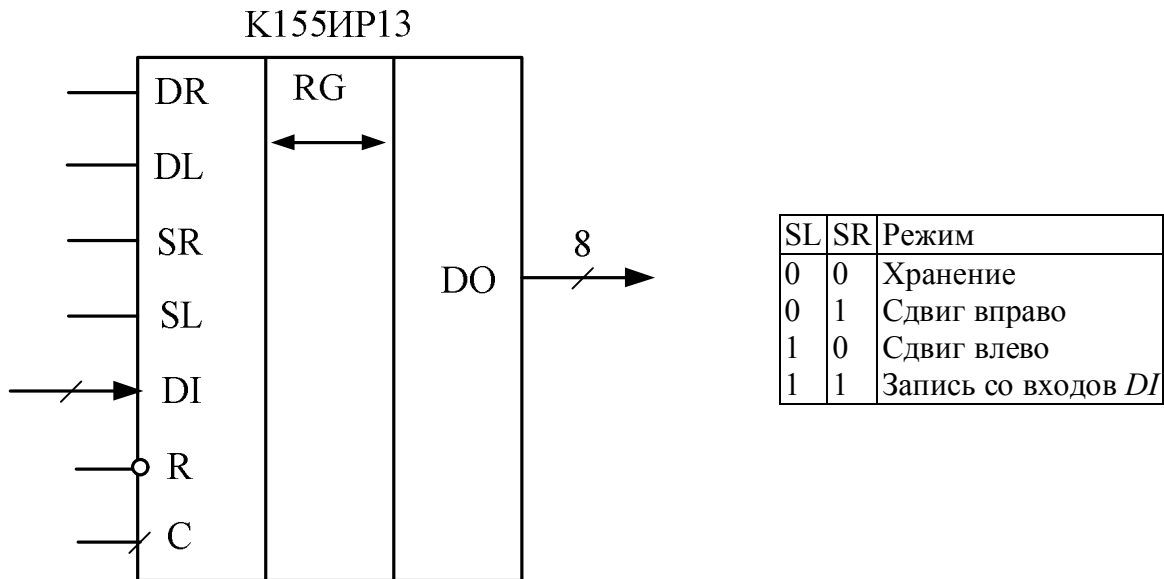


Рис. 31.19

Помимо основного назначения регистры имеют другие многочисленные применения. Рассмотрим только некоторые из них.

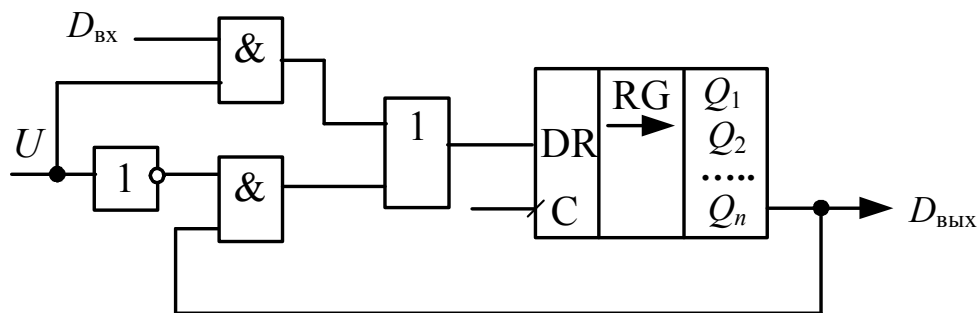


Рис. 31.20.

Кольцевой счетчик. На регистрах сдвига реализуются самые разнообразные счетчики. Простейшим из них является кольцевой счетчик (рис. 31.21).

Элемент *4ИЛИ-НЕ* разрешает запись информации в первый триггер регистра только тогда, когда все триггеры находятся в нулевом состоянии. Эта кодовая 1 и перемещается по кольцу (выходы 1, 2, 3, 4, 5). Данное устройство представляет собой синхронный счетчик с $K_{сч} = 5$ и выполняет функции распределителя уровня логической единицы по пяти каналам. Его можно использовать для последовательного включения во времени пяти объектов управления.

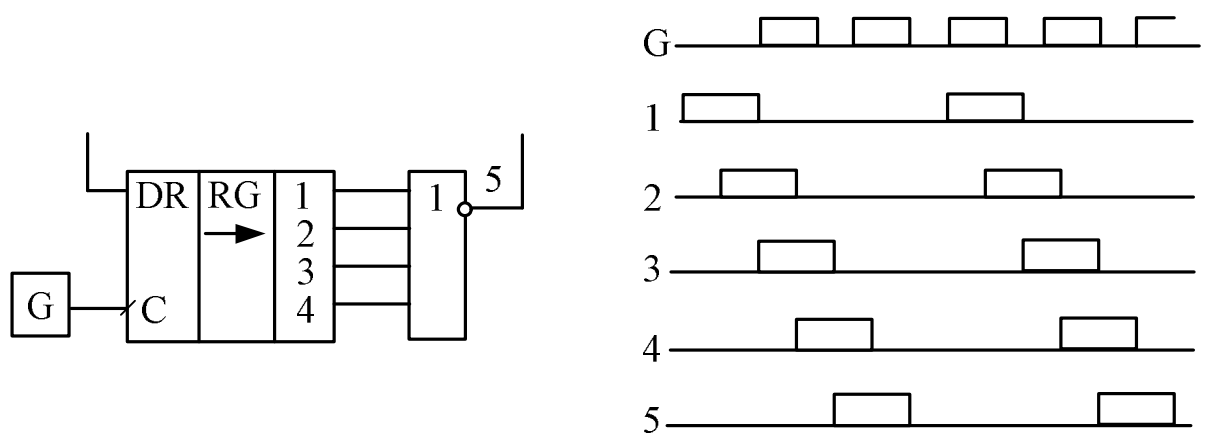


Рис. 31.21

Синхронный счетчик. Проанализируем работу другого счетчика на регистре сдвига, в котором используется перекрестная обратная связь (рис. 31.22).

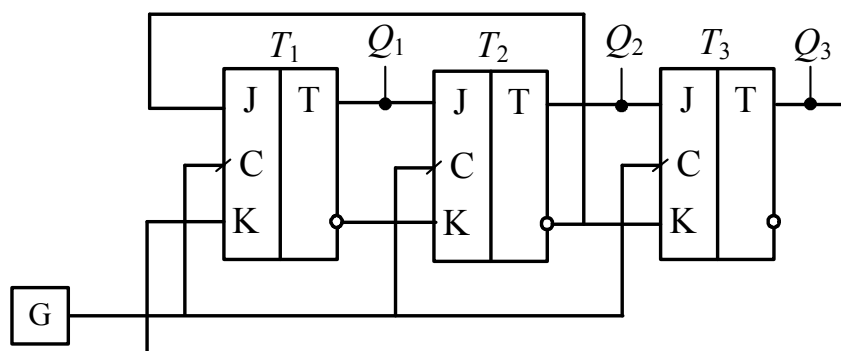


Рис. 31.22

Исследуемое устройство представляет собой синхронный счетчик на регистре сдвига, построенном на трех Ж-триггерах. Состояние первого триггера после подачи очередного среза счетных импульсов генератора O зависит от сигналов обратной связи, поступающих на его информационные входы J и K с выходов Q_2 и Q_3 . Триггер T_2 повторяет состояние триггера T_1 на предыдущем такте, а триггер T_3 – состояние триггера T_2 .

Удобно анализ работы устройства провести с помощью таблицы состояний, предположив, что первоначально триггеры были сброшены в нулевое состояние ($Q_i = Q_j = Q_s = 0$), а затем на счетный вход поступает очередной A -тый импульс (рис. 31.23).

До подачи первого импульса на информационных входах триггера T_j $J = 1$, $K = 0$. После первого импульса T_j переходит в единичное состояние, а логические нули с выходов Q_1 , Q_2 переписываются на выходы Q_2 , Q_3 . Уровни сигналов на информационных входах T_j не изменились. Поэтому после

второго импульса он снова будет находиться в состоянии $Q_i = \setminus$. Теперь уже и $Q_2 = 1$. На информационных входах $\Gamma/$ устанавливаются уровни $J = K = 0$.

k	Q_1	Q_2	Q_3
0	0	0	0
1	1	0	0
2	1	1	0
3	1	1	1
4	0	1	1
5	0	0	1
6	1	0	0
7	1	1	0
8	1	1	1

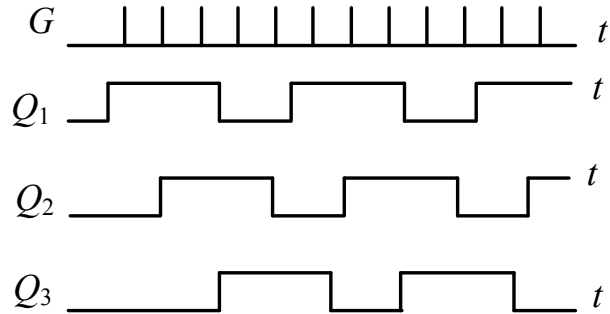


Рис. 31.23

После третьего импульса $\Gamma/$ не меняет своего состояния, оставаясь в состоянии $Q_i = 1$. В этот момент все триггеры находятся в единичном состоянии. При этом на входе $\Gamma/ J = 0, K = 1$ и после четвертого импульса триггер T_j сбрасывается в нулевое состояние. После пятого импульса состояние T_j не меняется. Теперь на входах $T_j J = K = 1$. Поэтому после шестого импульса триггер T_j меняет свое состояние на противоположное и переходит в состояние $Q_i = \setminus$.

Анализ таблицы состояний показывает, что после шестого импульса состояние счетчика такое же, как после первого. Следовательно, в цикле реализуются пять состояний и $K_{сч} = 5$. На каждом выходе чередуются три единичных и два нулевых состояния. Выход Q_2 повторяет выход Q_1 с задержкой на один такт, а выход Q_3 с задержкой на один такт повторяет выход Q_2 (см. временные диаграммы сигналов).

При включении источника питания каждый триггер может установиться либо в нулевое, либо в единичное состояние. У счетчика на трех триггерах таких состояний восемь. В рассмотренном цикле повторяются пять состояний. Вне цикла остается три состояния. Из состояния 000 ($Q_1 Q_2 Q_3$) поведение счетчика мы уже рассмотрели. Остается проследить, как будет работать счетчик, если при включении он установится в состояния 101 или 010. Такой анализ показывает, что из этих состояний, так же как из состояния 000, счетчик выходит на описанный режим работы, когда циклически повторяются состояния 100, 010, 111, 011, 001. Следовательно, начальная установка триггеров в фиксированное состояние не требуется.

Генераторы псевдослучайных последовательностей импульсов. Для тестирования как аналоговых, так и цифровых устройств широко применяются шумовые сигналы. Генератор, собранный по схеме рис. 31.24, обладает следующим техническим недостатком: при сбросе разрядов регистра в нулевое состояние $x_0 = x_1 = x_2 = x_3 = 0$ он блокируется и на всех выходах выдает ну-

левые последовательности. Дополнение несложной логики {4ИЛИ-НЕ и 2ИЛИЦ' как показано на рис. 31.25, избавляет генератор от названного недостатка. При совпадении четырех нулей на входе элемента 4ИЛИ-НЕ он вырабатывает на выходе единицу, которая при очередном такте записывается в младший разряд регистра и разрешает работу генератора. Разумеется, количество входов этого элемента должно совпадать с количеством разрядов регистра.

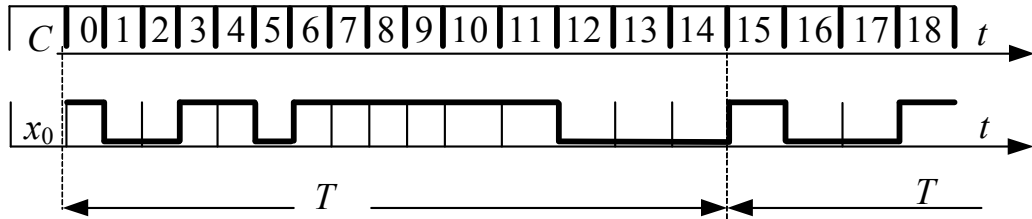


Рис. 31.24

Как было сказано ранее, объем вырабатываемой псевдослучайной последовательности $N = 2^n - 1$ определяется количеством разрядов регистра n .

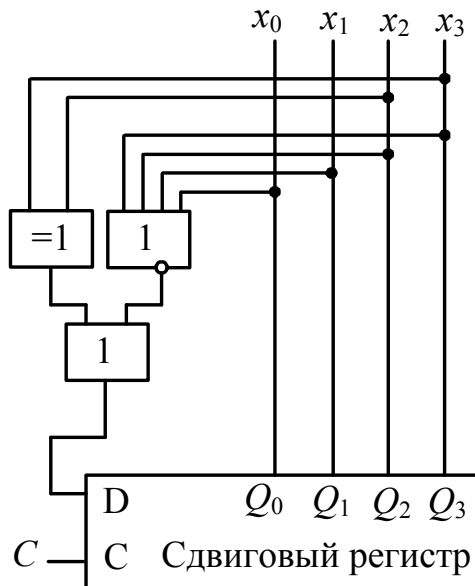


Рис. 31.25

При этом существенным является вопрос, выходы каких номеров разрядов регистра заводятся на элемент *Исключающее ИЛИ* для замыкания регистра в кольцо. Ответ на этот вопрос дает приведенная ниже таблица 31.2, которая называет эти номера в зависимости от количества разрядов регистра (счет разрядов в таблице с первого до восемнадцатого). Причем, как следует из этой таблицы, при некоторых n цепь обратной связи должна объединять

по четыре выхода разрядов регистра. Это объединение производится с помощью двух элементов *Исключающее ИЛИ*.

Таблица 3.2

Подключения обратных связей в зависимости от количества разрядов регистра

<i>n</i>	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
	3	4	5	6	7	8	9	10	11 9	12	13 10	14	15 14	16 14	17	18
	2	3	3	3	4	7	5	7		11 8	6	13 8		13 11	14	11
						5				6	4	4				
						3										

4. Запоминающие устройства

По функциональному признаку различают *постоянные* запоминающие устройства (ПЗУ), хранящие информацию, предназначенную только для чтениями *оперативные* запоминающие устройства (ОЗУ), предназначенные для записи, хранения и считывания цифровой информации.

ПЗУ относятся к комбинационным цифровым устройствам, ОЗУ относятся к цифровым устройствам последовательного типа. ПЗУ сохраняют информацию при отключенном питании, т.е. обладают свойством энергонезависимости, в ОЗУ информация теряется при отключении питания.

Постоянные запоминающие устройства (ПЗУ). ПЗУ по принципу работы являются преобразователями *n*-разрядного кода адреса ячейки *A* в *m*-разрядный код хранящегося в ней слова *D* (рис. 31.26). Данные считываются при подаче разрешающего уровня на вход *CS*.

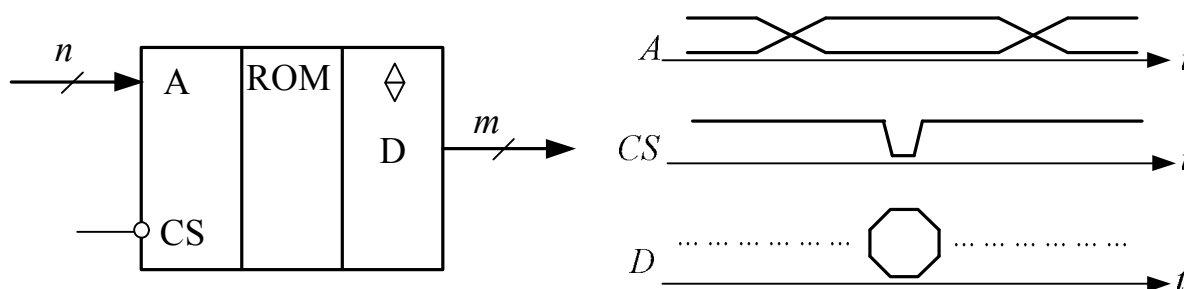


Рис. 31.26

Микросхемы ПЗУ по способу записи в них информации делятся на *масочные* (ROM – Read Only Memory), программируемые на заводе-изготовителе интегральных микросхем; *однократно-программируемые*

(PROM – Programmable ROM) и *многократно-программируемые* пользователем (репрограммируемые ПЗУ).

Для обеспечения возможности объединения по выходу при наращивании памяти все ПЗУ (также как и ОЗУ) имеют выходы с тремя состояниями (0) или открытый коллекторный выход (£).

Схемотехническую реализацию ПЗУ масочного типа иллюстрирует рис.31.27. Схема имеет адресные входы X_1, x_2 , выходы содержимого ячеек памяти Z_i ; - z_4 , вывод для подключения источника питания E и общий вывод. Верхняя часть схемы представляет собой полный дешифратор. Если разрядность адреса равна n , то в дешифраторе имеем 2^n горизонтальных входных линий, на которых формируются входные переменные и их инверсии. Число вертикальных линий в полном дешифраторе равно 2^n . С помощью специальных масок программируется наличие или отсутствие \rightarrow -и-перехода в цепи связи вертикальных и горизонтальных шин матрицы. Размещение диодов матрицы I показано на рисунке жирными точками. Диоды ориентированы так, как показано на вынесенной в кружок части рисунка.

На вертикальных шинах матрицы реализуются логические функции $y_0 = x_1, x_2, y_1 = x_1 \bar{x}_2, y_2 = x_1 x_2, y_3 = \bar{x}_1 \bar{x}_2$. Каждому набору входных переменных, т.е. адресу ПЗУ, соответствует уровень логической единицы на одной из